

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平8-511393

(43) 公表日 平成8年(1996)11月26日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I
H 0 3 M 13/22		8730-5K	H 0 3 M 13/22
G 1 1 B 20/12	1 0 2	9295-5D	G 1 1 B 20/12
20/18	5 4 2	9558-5D	20/18
			1 0 2
			5 4 2

審査請求 未請求 予備審査請求 未請求(全 26 頁)

(21) 出願番号 特願平7-515998  
 (86) (22) 出願日 平成6年(1994)12月6日  
 (85) 翻訳文提出日 平成7年(1995)8月2日  
 (86) 国際出願番号 PCT/FR94/01417  
 (87) 国際公開番号 WO95/16311  
 (87) 国際公開日 平成7年(1995)6月15日  
 (31) 優先権主張番号 93/14646  
 (32) 優先日 1993年12月7日  
 (33) 優先権主張国 フランス (FR)  
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), JP, US

(71) 出願人 トムソン マルチメディア ソシエテ ア  
 ノニム  
 フランス国 92400 クールベボワ ラ・  
 デフアンヌ 5 プラス・デ・ボージュ  
 9  
 (72) 発明者 アンナ シャラフ  
 フランス国 92402 クールベボワ・セデ  
 ックス プワト・ポスタル 329 トムソ  
 ン・セエスエフ エスセベイ  
 (74) 代理人 弁理士 伊東 忠彦 (外1名)

(54) 【発明の名称】 ブロック毎のインターリーピング及びデインターリーピング処理及び装置

## (57) 【要約】

本発明の目的はL個の2進ワードをそれぞれ含むPパケットのブロックをインターリーピングする処理であり、このインターリーピングは所定の順序でインターリーピングメモリにデータを書き込み、それらをインターリーピングに対応する順序で読み戻すことにより達成される。本発明の処理は所定のアドレスでブロックb-1に対応するデータ項目を読み出した後にブロックbに対応するデータ項目が同じアドレスに書き込まれることからなる。本発明はデジタルデータの送信の分野、特に妨害通信の場合に応用される。

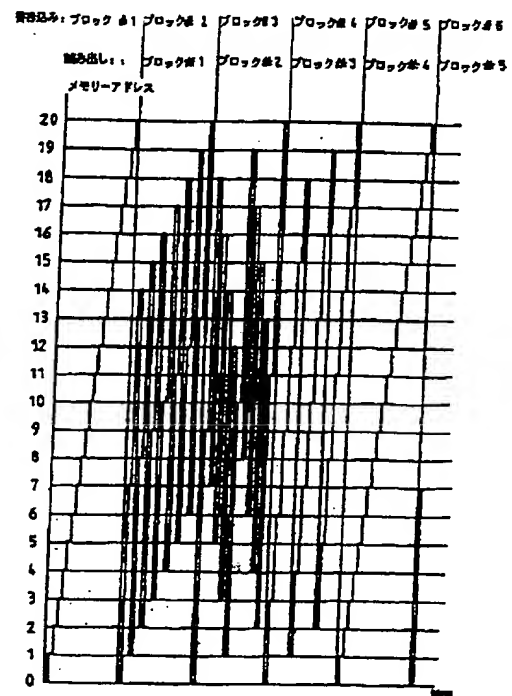


FIG. 5

## 【特許請求の範囲】

1. 所定のアドレスでブロック  $b-1$  に対応するデータ項目を読み出した後ブロック  $b$  に対応するデータ項目が同じアドレスに書き込まれ、それぞれが  $L$  個の2進ワードを有する  $P$  個のパケットのブロックをインターリーブする方法であって、インターリーブングメモリーレンジが  $0$  乃至  $LP-1$  であり、ブロック  $b$  に対する読み出し／書き込みアドレスの進行が：

$$a_b(n) = (a_b(n-1) + (L^{b-x}) \bmod (LP-1))$$

ここで  $n \in ] 0, LP-1 [$ 、 $n$  は整数であり、

$$a_b(0) = 0$$

$$a_b(LP-1) = LP-1$$

かつ  $b \in [1, \infty [$ 、 $b$  は整数であり、

$$x \leq b, x \text{ は整数である}$$

ことを特徴とする方法。

2. 一定値  $L^{b-x}$  のストリングが予め記憶されていることを特徴とする請求項1記載の方法。

3. 所定のアドレスでブロック  $b-1$  に対応するデータ項目を読み出した後ブロック  $b$  に対応するデータ項目が同じアドレスに書き込まれ、それぞれが  $L$  個の2進ワードを有する  $P$  個のパケットのブロックをインターリーブする方法であって、 $a_b(n)$  が  $0$  乃至  $LP-1$  のアドレスレンジのインターリーブングメモリー内の読み出し／書き込みアドレスのストリングである場合に、ブロック  $b$  のアドレスのストリングとブロック  $b+1$  のアドレスのストリングとの間の関係は：  
 $n \neq LP-1$  の場合、 $a_{b+1}(n) = Lx(a_b(n)) \bmod (LP-1)$  であり、

$$a_{b+1}(LP-1) = LP-1 \text{ である}$$

ことを特徴とする方法。

4. 第一のブロックのデータの書き込み中にデータの読み出しを

しないことを特徴とする請求項1乃至3のうちのいずれか一項記載の方法。

5. 第一のブロックの書き込みアドレスのストリングは  $[0 ; \dots ; LP-$

1]であることを特徴とする請求項1乃至4のうちのいずれか一項記載の方法。

6. それぞれL個の2進ワードを含むP個のパケットのインターリービング及び／又はデインターリービングブロックに対するアドレスを発生する装置であって、次数bのブロックと一定値 $L^{(b-x)} \bmod (LP-1)$  (bは整数であり、xはbより小さいか又は等しい一定の整数)とを発生する手段(4、6)と、複数回m (0乃至LP-1で変化する整数)の該一定値をベースアドレス( $a_b(0)$ )に加える手段(5)とからなり、各結果の値は該値が(LP-1)と異なるか又は(LP-1)よりも厳密に大きいかのどちらかの場合に $\bmod (LP-1)$ をとられ、この加算の結果はブロックbに対する読み出しアドレス及びブロックb+1に対する書き込みアドレスを発生する装置。

7. それはインターリーブされるべきバイトの周波数でクロックパルス(CO)を受け、Pで分周するクロックデバイダー(2)と、Pで分周するデバイダー(2)からの出力を入力として受けLで分周するクロックデバイダー(3)と、加算の結果がバッファレジスタ(6)と同様に(LP-1)と異なるか又は(LP-1)よりも厳密に大きいかのどちらかの場合にのみモジュロ計算をなす第二の加算器と、Pで分周するデバイダー(2)からの出力信号を受けるクロック入力を有する第一の加算器(4)とよりなる2つの加算器(4、5)  $\bmod (LP-1)$ とよりなり、該第1の加算器(4)の2つの入力とは夫々同加算器(4)からの出力及びバッファレジスタ(6)からの出力をそれぞれ受け、該加算器(4)はLで分周するデバイダー(3)からの信号又は初期化信号(INIT)により制御されるリセット入力を最終的に有し、第一の加算器

(4)の出力は該バッファレジスタ(6)の入力に更に結合され、該バッファレジスタは初期化信号(INIT)に結合されるLで分周するデバイダー(3)からの信号に結合されるクロック入力と同様に値1に設定されることを可能にするSET入力を有し、バッファレジスタ(6)の出力は2つの加算器(4、5)のそれぞれの1の入力に結合され、第二の加算器(5)はそれ自身の出力をその他の入力で受け、それは装置の出力をまた構成し、読み出し／書き込みアドレスを提供し、第二の加算器(5)のクロック入力は信号COに接続され、第二の加

算器(5)のリセット入力(RESET)はLで分周するデバイダー(3)からの出力と初期化信号(INIT)を受ける2つの入力を有する論理OR(7)に結合されることを特徴とする請求項6記載のアドレス発生装置。

8. 請求項1乃至5のうち的一项記載の方法を実施することを特徴とする請求項6又は7記載の装置。

## 【発明の詳細な説明】

## ブロック毎のインターリービング及びデインターリービング処理及び装置

本発明はブロック毎のデータのインターリービング及びデインターリービング処理と同様にこの処理を実施する装置に関する。本発明はそれらの送信前のデジタルデータのインターリービング及び受信後のデインターリービングに特に応用される。

誤り検出及び訂正とデジタルデータの送信を信頼できるものにするためのインターリービングの技術に関することは従来の技術から知られている。リードソロモンコードのような誤り訂正コードに対して送信されるべき二進数のパケットは送信誤りの所定の最大数まで訂正することを可能にする複数の余分なワードを追加される。この誤りの最大数を超過したときに訂正コードがもはや適切ではない。これは誤りのバーストが幾つかの連続ワードを損う場合に特に問題となる。

訂正コードの効率を増加するために幾つかのデータパケットがインターリーブされる。この技術は異なるパケットから生ずる連続したワードの送信からなる。各パケットを一つの進行で送信しないことにより幾つかのパケットにわたる誤りのバーストの関連を拡大し、訂正コードの制限内に置くことが可能である。

送信モジュールでのインターリービングはある順序でメモリーにデータを書き込み、それらを送信に対して異なる順序で読み戻すことにより通常実施される。受信機でのデインターリービングはインターリービングメモリーを読み出す順によりデインターリービングメモリーに対してデータを書き込み、インターリービングメモリーへの書き込みの順序に関してデータを読み戻すことにより逆の方法で実施される。

それぞれがLバイトからなるインターリーブされるべきP個のパケットを考える。これらのPパケットはブロックBを構成する。深

さPのインターリービングは所定のパケットの連続する2バイトをP-1個の他のパケットから生ずるP-1バイトにより分けるような方法でPパケットのバイトを再整列することにより実施されると言われている。

図1にこのインターリービングを実施可能にするメモリーを示す。従来技術の

説明を簡単にするためにこのメモリーはバイトのP個の列 (column) を含むとする。図1に示すようにアドレスは左から右へ、上から下へと増加する。

このメモリーは、アドレス0で第一のパケットの第一のバイトを、アドレスPで第二のバイトを、等々のようにしてアドレス  $(L-1)P$  で最後のバイト  $(L-1)$  バイト) を書き込むことにより書き込まれる。これらのアドレスはメモリーの第一のコラムに対応する。同様にして第二のパケットは第二の列のアドレス1、 $P+1$ 、...  $(L-1)P+1$  で書き込まれる。このように最後のパケット及び最後の列まで続けられる。書き込みの順序は図2に示される。

一般的に言えば、ブロック  $b$  ( $b[1, B]$ ) のパケット  $p$  ( $p[1, P]$ ) のバイト1 ( $1[1, L]$ ) はメモリーのアドレス  $(b-1)LP + (p-1) + (1-1)P$  で書き込まれる。

読み出しはアドレスの順でなされ、即ち毎行 (row) 読み出すことによりなされる (図3を参照)。故に全てのパケットの第一のバイトは最初に読まれ、第二のバイトが続き、等々。故にインターレーシングが達成される。

この書く／読む方法はそれを読むことが可能になる前にブロックBのデータの大きな部分を書く必要があることを意味する。特に  $E = (L-1)(P-1) + 1$  バイトがアドレス0で第一のバイトを読み出す前に書かれていなければならない。この判断基準に従われていない場合には読み出しは書き込みによりまだスweepされていないアドレスでいつか生じる。

図4にPが3に等しくLが7に等しい場合の書き込み及び読み出

しアドレスの進行を示す。時間は横座標として示され、一方でインターリーピングメモリーのアドレスは縦座標を形成する。Tは基本クロック周期を表す。所定の周期に対して書き込みは読み出しの前になされる。それにより書き込みアドレスが同じ周期Tに対して読み出しアドレスと等しいときには対応するデータ項目は同じ周期Tの間に読み返される前に最初に書き込まれる。

鋸歯状曲線1は書き込みアドレスを表し、一方で階段状曲線2は読み出しアドレスを表す。曲線1はアドレス0から開始する3アドレスの6ジャンプを形成し、これは第一の列の第一のパケット (7バイト) の書き込みに対応する。それか

ら書き込みは第二の列の頂上でアドレス1で再開する。点A、即ち  $(L-1)(P-1) + 1$  バイトを書き込んだ後で読み出しは13番目のバイトの書き込みがなされる同じ周期中にアドレス0で開始できる。読み出しアドレスは各クロック周期内の1ユニットにより増加される。点Dで2つの曲線が出会うことに注意しよう。データの読み出しが13番目の書き込み周期より早くなされる場合には例えば12番目の周期でなされる場合にはデータ項目がそこに書き込まれる前にアドレス2で読み出そうとする試みがある。

点BではPパケットの第一ブロックの書き込みが完了し、最後の値がアドレス  $(LP-1) = 20$  で書き込まれる。それから次のブロックの書き込みは図2に示されるようにアドレス  $LP = 21$  で開始する。故にブロックの端ではアドレスのジャンプは1である。

メモリーの最小の大きさデルタは読み出しアドレスとか書き込みアドレスとの間の最大の差に等しい。図4の方式でこの差は点Cで最大であることがわかる。書き込みアドレスは  $LP + (L-1)P$  である。この時  $LP + L$  バイトが書き込まれる。それで読み出しアドレスは  $LP + L - E = LP + L - (LP - L - P + 2) = 2L + P - 2$  である。

$$\text{故にデルタ} = LP + (L-1)P - (2L + P - 2) + 1 = 2$$

$(L-1)(P-1) + 1$  が得られる。

上記の数値の例から考えてメモリーの最小の大きさは25バイトである。

本発明の目的はこれらのメモリーのアドレッシングを簡単化する一方で要求されるメモリーの大きさを減少することを可能にするインターリーブ処理を提供することである。

本発明は所定のアドレスでブロック  $b-1$  に対応するデータ項目を読み出した後ブロック  $b$  に対応するデータ項目が同じアドレスに書き込まれ、それぞれが  $L$  個の2進ワードを有する  $P$  個のパケットのブロックをインターリーブする方法であって、インターリーブメモリーレンジが0乃至  $LP-1$  であり、ブロック  $b$  に対する読み出し／書き込みアドレスの進行が： $a_b(n) = (a_b(n-1) + (L^{(b-x)}) \bmod (LP-1))$

ここで  $n \in ] 0, L P - 1 [$ 、 $n$  は整数であり、

$$a_b(0) = 0$$

$$a_b(LP-1) = LP-1$$

かつ  $b \in [1, \infty [$ 、 $b$  は整数であり、

$$x \leq b, \quad x \text{ は整数である}$$

ことを特徴とする方法である。

本発明はまた所定のアドレスでブロック  $b-1$  に対応するデータ項目を読み出した後ブロック  $b$  に対応するデータ項目が同じアドレスに書き込まれ、それぞれが  $L$  個の 2 進ワードを有する  $P$  個のパケットのブロックをインターリーブする方法であって、 $a_b(n)$  が 0 乃至  $LP-1$  のアドレスレンジのインターリーブングメモリ内の読み出し／書き込みアドレスのストリングである場合に、ブロック  $b$  のアドレスのストリングとブロック  $b+1$  のアドレスのストリングとの間の関係は：

$n \neq LP-1$  の場合には  $a_{b+1}(n) = Lx(a_b(n)) \text{ modulo } (LP-1)$  であり、

$$a_{b+1}(LP-1) = LP-1 \text{ である}$$

ことを特徴とする方法である。

斯くしてメモリは前のブロックの読み出しと連係して次のブロックを書き込むことにより満たされる。どの時点においても読み出し及び書き込みアドレスが同等なことによりインターリーブングメモリのアドレッシングは大幅に簡単化される。そして要求されるメモリの大きさは単に  $PL$  2 進ワードである。

第一の場合では、ブロック  $b$  に対するアドレスの進行はブロック  $b-1$  に関するアドレスの知識を必要としない。それは  $L$ ,  $P$ ,  $b$ ,  $x$  を知ることで充分である。

第二の場合では、関係はブロック  $b+1$  に対応するそれらに対するブロック  $b$  に対応するアドレスから進行するために必要とされる情報を与える。ブロック  $b$  に対応するアドレスと、 $L$ ,  $P$  の値を知ることで充分である。

この関係を  $m$  回適用することによりブロック  $b$  からブロック  $b+m$  に進行する



ことは明らかに可能である。

本発明の特定の実施例では第一のブロックのデータの書き込み中にデータの読み出しをしない。この時点で読み出されうるデータは通常どんな意味も持たない。

本発明の特定の実施例では第一のブロックのデータの書き込み中にデータの読み出しをするが、この読み出しの結果は用いられない。それで第一のブロックの処理に関する例外はない。

本発明はまたそれぞれ  $L$  個の 2 進ワードを含む  $P$  個のパケットのインターリービング及び／又はデインターリービングブロックに対するアドレスを発生する装置であって、次数  $b$  のブロックと一定値  $L^{(b-x)} \bmod (LP-1)$  ( $b$  は整数であり、 $x$  は  $b$  より小さいか又は等しい一定の整数) とを発生する手段と、複数回  $m$  ( $0$  乃至  $LP-1$  で変化する整数) の該一定値をベースアドレス ( $a_b(0)$ ) に加える手段とからなり、各結果の値は該値が ( $L$

$P-1$ ) と異なるか又は ( $LP-1$ ) よりも厳密に大きいかのどちらかの場合に  $\bmod (LP-1)$  をとられ、この加算の結果はブロック  $b$  に対する読み出しアドレス及びブロック  $b+1$  に対する書き込みアドレスを発生する装置である。

特定の実施例によれば、アドレスを発生する装置は、インターリーブされるべきバイトの周波数でクロックパルス (CO) を受け、 $P$  で分周するクロックデバイダーと、 $P$  で分周するデバイダーからの出力を入力として受け  $L$  で分周するクロックデバイダーと、加算の結果がバッファレジスタと同様に ( $LP-1$ ) と異なるか又は ( $LP-1$ ) よりも厳密に大きいかのどちらかの場合にのみモジュロ計算をなす第二の加算器と、 $P$  で分周するデバイダーからの出力信号を受けるクロック入力を有する第一の加算器とよりなる 2 つの加算器  $\bmod (LP-1)$  とよりなり、該第 1 の加算器の 2 つの入力は夫々同加算器からの出力及びバッファレジスタからの出力をそれぞれ受け、該加算器は  $L$  で分周するデバイダーからの信号又は初期化信号により制御されるリセット入力を最終的に有し、第一の加算器の出力は該バッファレジスタの入力に更に結合され、該バッファレジ

スタは初期化信号に結合されるLで分周するデバイダーからの信号に結合されるクロック入力と同様に値1に設定されることを可能にするSET入力を有し、バッファレジスタの出力は2つの加算器のそれぞれの1の入力に結合され、第二の加算器はそれ自身の出力をその他の入力で受け、それは装置の出力をまた構成し、読み出し/書き込みアドレスを提供し、第二の加算器のクロック入力は信号COに接続され第二の加算器のリセット入力はLで分周するデバイダーからの出力と初期化信号を受ける2つの入力を有する論理ORに結合されることを特徴とする。

本発明の他の利点及び特徴は添付された図面により示される本発明の特定の実施例の記述を通して明らかになる。

図1は上記のようにインターリーブングメモリーのアドレッシング

方法を示す図である。

図2は上記の該メモリーヘデータを書き込む知られている方法を示す図である。

図3は上記の該メモリーからデータを読み出す知られている[sic]方法を示す図である。

図4は上記のアドレスを読み出し、書き込む進行の同時ダイアグラム[sic]を示す図である。

図5は他のインターリーブング内のアドレスを書き込み、読み出す本発明の方法を実施する例である進行のダイアグラムを示す図である。

図6は本発明を実施する装置の実施例を示す図である。

図7、8は本発明を実施する装置の他の実施例を示す図である。

本発明の実施例によりそれぞれPLバイトのブロックB内のLバイトのPパケットの群の深さPのインターリーブングを実施することが明らかとなる。本発明によればPLバイトのインターリーブングメモリーが用いられる。説明を簡単にするためにこのメモリー[lacuna]はLバイトのP列のマトリックスとして組織化され、左上から右下へメモリーの行毎にスイープすることによりメモリー空間は0乃至 $PL-1$ でアドレスされる。

図5に本発明の実施例での書き込み及び読み出しアドレスの進行を示す。P及びLはそれぞれ3と7に等しくとられた。故にメモリーは縦座標として与えられた0乃至20のアドレスを有する21スロットを含む。

為されるべき第一の段階は第一ブロック（ブロックb=1）を書き込むことからなる。この第一ブロックに対しては読み出しはなされない。この第一のブロックの書き込みアドレスの進行の簡単な例を示すために各データ書き込みで1アドレスだけの増加が選択され、アドレス0から開始される。

第一のブロックの書き込みアドレスの進行のダイアグラムは図5

の第一の列で与えられる。

第二段階はインターリーピングに対応する順序で前のブロックに対して書き込み期間中に書き込まれたデータを読み出すことからなる。読み出しアドレスは第一のブロックの書き込みアドレスから計算される。この例ではアドレスは書き込みの順に一致する。Pパケットがメモリーに順番に書き込まれる場合にはバイトは開始アドレス0から各Lアドレス毎に読み出されなければならない（Pパケットの第一のバイトは最初に読み出され、それから第二のバイト等々）。以下の関数がこの場合のアドレスを与える：

$$f(x) = LX \bmod (LP - 1) \quad LX \neq LP - 1 \text{ の場合}$$

$$f(x) = LP - 1$$

$LX = LP - 1$  の場合

Xは0乃至 $LP - 1$

$LX$ は $LP - 1$ に等しいときに $LP - 1$ の値は値0よりもむしろ用いられることを注意されたい。

本発明によれば第一のブロックのデータが読み出されたときに第二のブロックに対応するデータは読み出しアドレスで書き込まれる。この書き込みは前と同じ順序でなされ、即ち書き込みは第一のパケットの第一のバイトから開始してパケット毎になされる。読み出し／書き込みアドレスはインターリーピングを実施するために明らかに選択され、関数fを用いて計算される。

第二のブロックの読み出しアドレスはfの代わりに $f^2$ を用いることにより決

定され、連続するブロックに対しても同様である。読み出し／書き込みアドレスの以下の表は斯くして得られる：

【表 1】

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
0	7	14	1	8	15	2	9	16	3	10	17	4	11	18	5	12	19	6	13	20
0	9	18	7	16	5	14	3	12	1	10	19	8	17	6	15	4	13	2	11	20
0	3	6	9	12	15	18	1	4	7	10	13	16	19	2	5	8	11	14	17	20
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20

第一の行は第一のブロックの書き込みアドレスに、第二は第一のブロックの読み出しアドレスと第二のブロックの書き込みアドレスに対応する等々。1つの行から同じ列の次の行への移動は関数  $f$  を適用することによりなされる。

用いられた数値の例の内容において第一と第五の行が同一であることに注意されたい。この周期性はアドレス又は読み出し専用メモリー内へのそれらの記憶の計算を容易にするために用いられ得る。

図 5 に上記の表と等価なグラフを示す。

デインターリーピングは本発明の処理又は他のどのようなデインターリーピング処理のどちらを適用することによっても実施可能であり、本発明の装置により送られたインターリーブされたデータの流れは他のインターリーピング装置により形成された流れから区別できないものである。

この実施例の変形により及び回路の簡単化の目的のために上記の方法での読み出しは第一のブロックの書き込み中にも実施される。この最初の読み出しの結果は単に考慮に入れないだけである。

図 6 に本発明を実施するアドレスシーケンサー回路の例を示す。この回路の基本は所定のブロックに対して 1 つのアドレスから次への移動が一定値の加算により実施され、その結果はこの結果がメモリーの最大アドレスを越える場合にメモリー引く 1 の大きさをモジュローされることを特徴とする。例えば上記の表の第一の行に対して一定値は 1 であり第二の行に対してそれは 7 であり（7 は最大

アドレス20より小さい又はに等しい) 第三に対してそれは9であり ( $7^2$ のモジュロー20) 第四に対してそれは3である ( $7^3$ のモジュロー20)。最後の行に対して一定値は1に戻る (7の4乗のモジュロー20)。べき乗は関数  $f$  のべき乗に対応する。

図6の回路はインターリーブされるべきバイトの周波数でのクロック信号 (CO) を受ける入力1とPで分周するデバイダー (2) からの出力を入力として受けるLによるクロックデバイダー (3) と同様にクロックパルスCOを受けるPによるクロックデバイダー (2) とを含む。

故に3つのクロックはそれぞれ全てのバイト、全てのPバイト、全てのブロック (PLバイトの) それぞれに1パルスを与えるよう用いられる。

シーケンサー回路はバッファレジスタ (又は「ラッチ」) 6と同様に2つの加算モジュロー (LP-1) 4及び5を含む。第一の加算器4の役割は上記の一定値を計算することであり、後者はPLバイト毎に変化する。ラッチ6はこの値を記憶し、それは読み出し/書き込みアドレスを適切に計算するために第二の加算器5により用いられる。

加算器4はPで分周するデバイダー2からの出力信号を受けるクロック入力を有する。この加算器の2つの入力はいずれも同じ加算器4からの出力及びバッファレジスタ6からの出力を受ける。加算器4は最終的に初期化入力RESETを有し、これはリセットを許容し、Lで分周するデバイダー3からの又は初期化信号INITによる信号により制御される。

加算器4の出力はバッファレジスタ6の入力に結合される。後者はLで分周するデバイダー3からの信号に結合されたクロック入力と同様に初期化信号INITに結合され、それが値1に設定されることを可能にするSET入力をまた有する。バッファレジスタ6の出力は加算器4及び6 [sic] のそれぞれの1の入力に結合され

る。

加算器5はその他の入力でそれ自身の出力を受け、それはシーケンサー回路の出力をまた構成し、読み出し/書き込みアドレスを供する。そのクロック入

力は信号COに結合される。加算器のRESET入力は2つの入力を有する論理OR 7に結合され、これはLで分周するデバイダーからの出力と[sic]への初期化信号INITとを受ける。

シーケンサー回路の動作は以下のとおり：INITパルスは上記入力に送られる。2つのアドレスの出力はバッファレジスタの出力が1である間にゼロである。故に回路の出力はアドレス0を示す。

クロックCOの1周期に対して前のブロックのデータ項目の読み出しは回路の出力により示されたアドレスで第一に実行され、それから現在のブロックのデータ項目の書き込みがメモリーのこの同じアドレスで実行される。シーケンサー回路の出力でアドレスは読み出し／書き込み周期中になお定常である。何故ならば次のバイトのアドレスを構成する加算の結果はこれらの周期がいったん終了するときのみ現れなければならないからである。シーケンサー回路から出力を受け、COから由来するクロックにより制御されるバッファレジスタ（図示せず）が例えば用いられる。

その立ち上がりエッジを介してインターリーピングメモリーのデータバス上に書き込まれた第一のバイトの定常性を示すCO上の第一のパルスはその入力に現れる値のうゑに加算する加算器5を動作する。この場合にはCO上の第一のパルスの立ち上がりエッジの後に1が出力に現れる。CO上のそれに続く各パルスも同様である。故に加算器5は0からLP-1まで増加され、その値の後にそれはLによるデバイター3によりリセットされる。故にアドレスはブロック1に対する図5に示された方法で進行する。

加算器4はPパルス毎にCOの1パルスを計数する一方でその入力は1に等しいレジスタ6に接続される。CO上のLPパルスの

後に加算器からの出力は値Lを示し、この時にLで分周するデバイダーからのパルスにより動作されるバッファレジスタ6により記憶される。加算器4の出力で値Lはバッファレジスタ6への転送前に定常である。

第二のブロックの書き込み（及び第一の読み出し）に対してアドレスの進行はバッファレジスタ6により記憶される値により示されるようにLからLメモリー

位置内に生じる。加算器5のモジュロ関数が働きだすのはここであり、それによりアドレスがメモリーの最大アドレスを決して越えない。

前もってリセットされる加算器4がLを加算し、そのようにL回する間に $L^2$ のモジュロ $LP-1$ が得られる。モジュロは各加算の後になされ斯くして加算器のアクムレータレジスタの大きさを減少する。

それから動作は全ての継続するブロックに対して同一である。

示された例によりバッファレジスタ6は1に初期化される。他の実施例により $L^2$ のモジュロ $LP-1$ の他の値、 $L^3$ のモジュロ $LP-1$ 、又はLの4乗のモジュロ $LP-1$ に初期化することはもちろん可能である。

加算器[sic]5のモジュロ計算部分は加算の結果が $LP-1$ より厳密に大きいときにのみモジュロが働くようになっている。実際にインターリーピングメモリーをアドレッシングするよう適合された所定の取り決めではアドレス $LP-1$ はこの予防措置がとられない場合には決して得られない。

これはモジュロは結果が $LP-1$ と異なるときのみ働き、厳密に小さい値に対して与えられるときにモジュロは加算の結果を変えないようにされていると言ひ換えても同じである。

知られている型の比較器は例えば $LP-1$ との加算の結果を比較するのに用いられる。比較が加算の結果が $LP-1$ に等しいことを示す場合、又はその変形によりそれがより小さい又は等しい場合に

はこの結果はそのモジュロがとられることなしに直接用いられる。そのような回路の実施例は当業者の視野内にある。

斯くしてバイトの周波数でアドレス発生装置とクロックパルスCOが得られる。図示されない実施例により周波数 $2 \times CO$ でのクロックパルスは2つの形成されたクロックパルスCOによる周波数デバイダーとして利用されえ、この2倍のクロックパルスは第一に発生装置により示されるアドレスでデータ項目を読み出すために用いられ、それからこの同じアドレスで次のブロックのデータ項目を書き込むために用いられる。データバスと同様にメモリーを有するインターフェース用の回路は当業者により容易に適合されうる。

この特定の実施例でデータはバイトの形で表されているが、他のフォーマットも可能なことは明らかである。更にまた上記の特定の実施例は各パケットから1バイト交代に選択するよう構成するインターリービングを実施する。本発明はインターリービングの他の形態に容易に適合される。

図7に本発明を実施する装置の他の実施例を示す。この例により装置はマイクロプロセッサ11と、読み出し専用メモリー12と、インターリービングメモリー13とを含む。読み出し専用メモリーはメモリーをアドレッシングする可能なアドレスシーケンスの整数周期を含む。これらは例えば上記の表の最初の4行に対応するアドレスである。マイクロプロセッサ11はメモリー12をアドレスする。各ブロックの読み出し及び書き込みに対してメモリー12はインターリービングメモリー10のアドレスバスに必要なアドレスを供する。符号13、14はそれぞれメモリー10に入来し、離れるデータバスを示す。

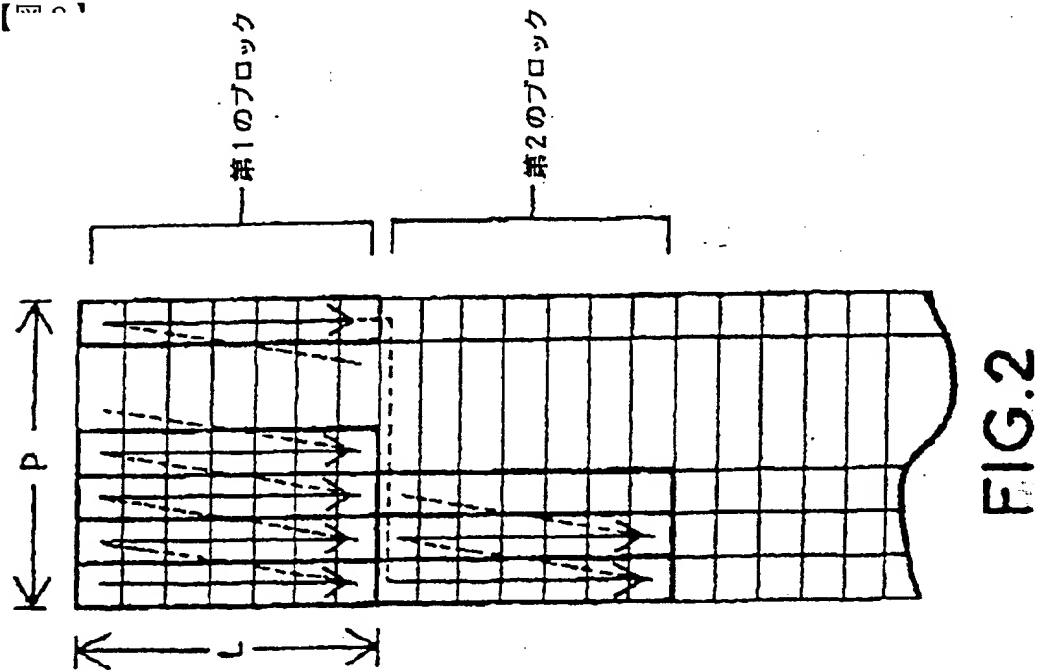
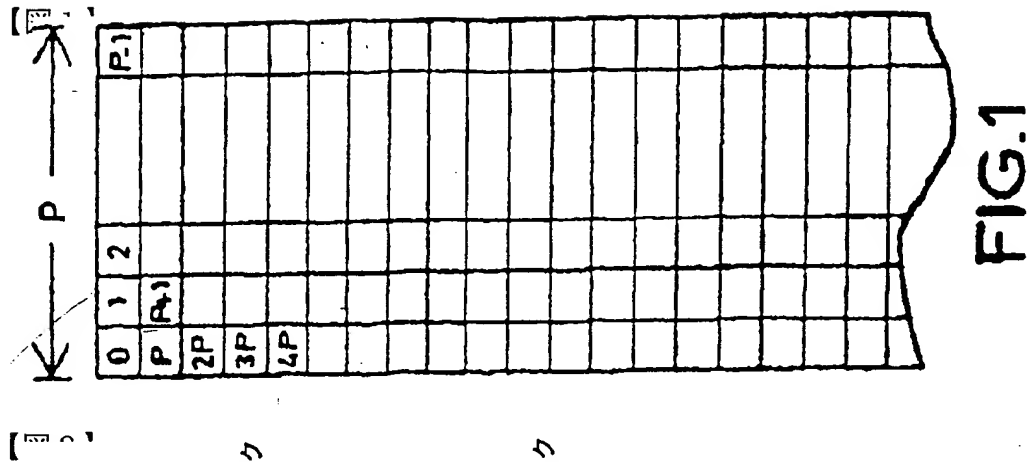
見てわかるように装置は非常に簡単である。アドレスは読み出し専用メモリーに予め記憶されている。この装置の利点は就中アドレッシングを必要とする計算手段がほとんどないことである。

本発明の装置の変形実施例により、マイクロプロセッサ11は単

なるカウンタにより置き換えられる。

図8に本発明による装置の他の実施例を示す。この装置はインターリービングメモリー10をなお含む。それはマイクロプロセッサ17のような計算手段と同様にメモリー16をまた含む。メモリーは所定のブロックの書き込みが1つのアドレスから次のアドレスへゆけることを可能にする一定値を含む。再び $L=7$ 、 $P=3$ の例を取るとこれらの一定値は上記のように1、7、9、3である。マイクロプロセッサ17はこれらの一定値を必要により周期的に読み出す。それは必要な加算と関連するモジュロ計算とをなす。それからそれはメモリー10をアドレスする。





【図3】

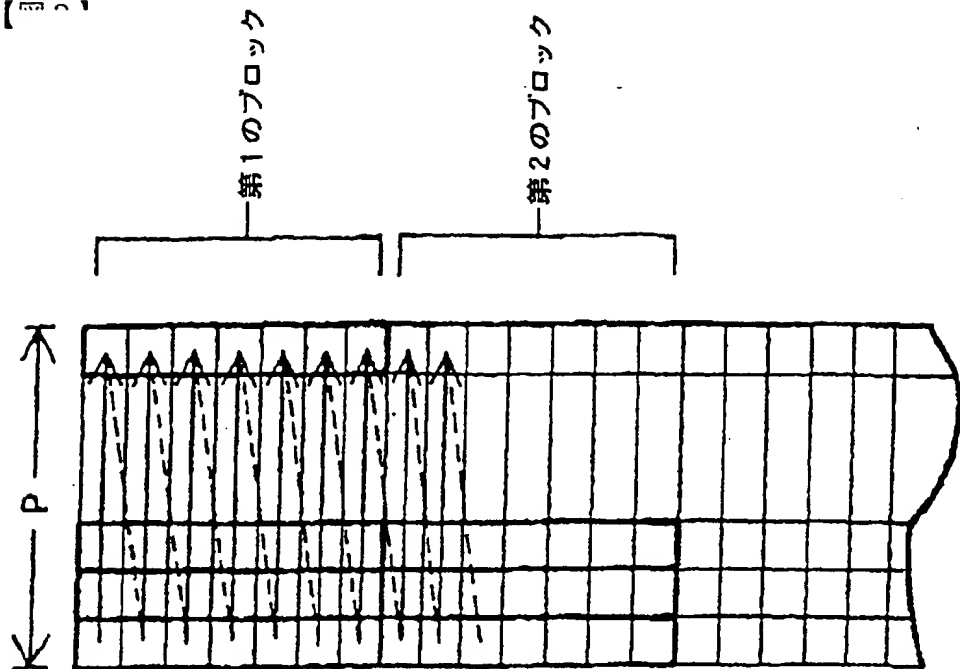


FIG.3

【図4】メモリーアドレス

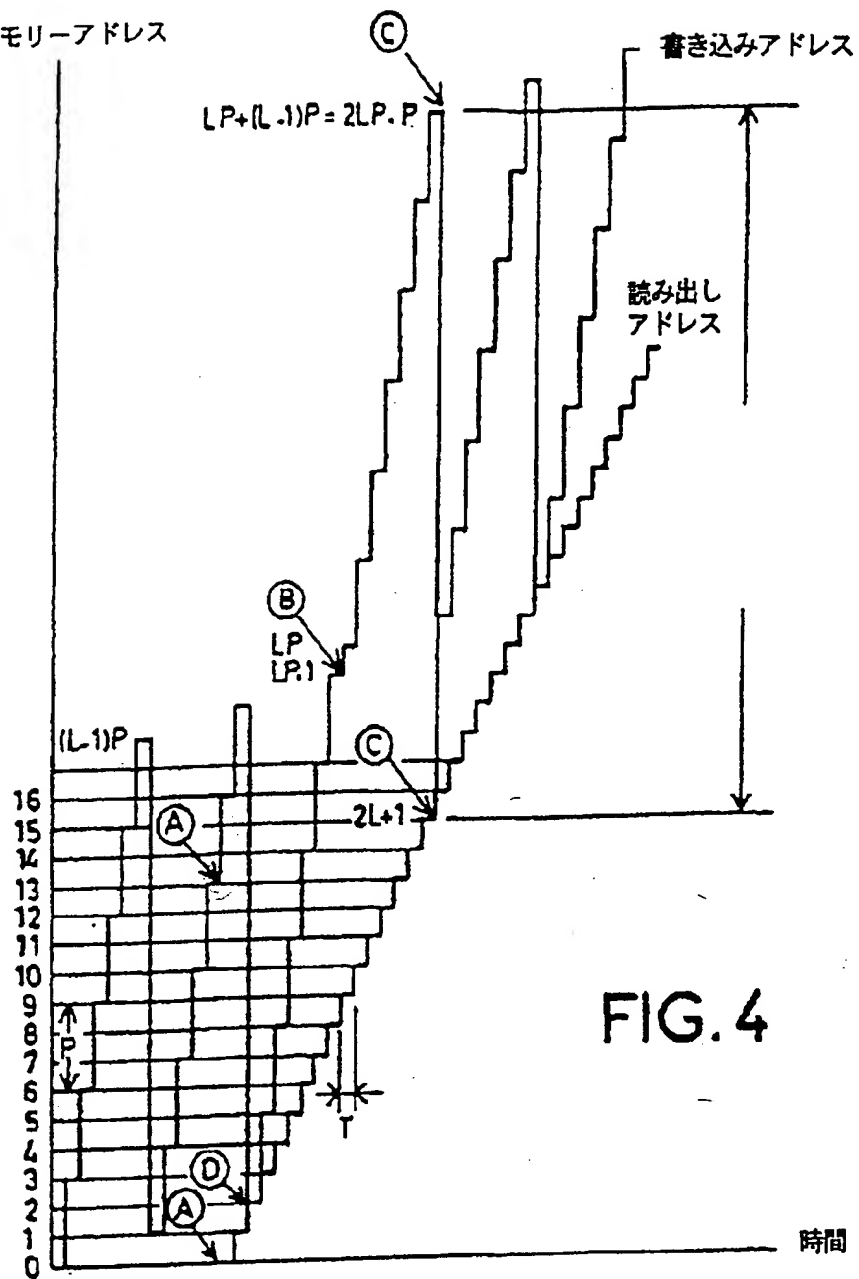
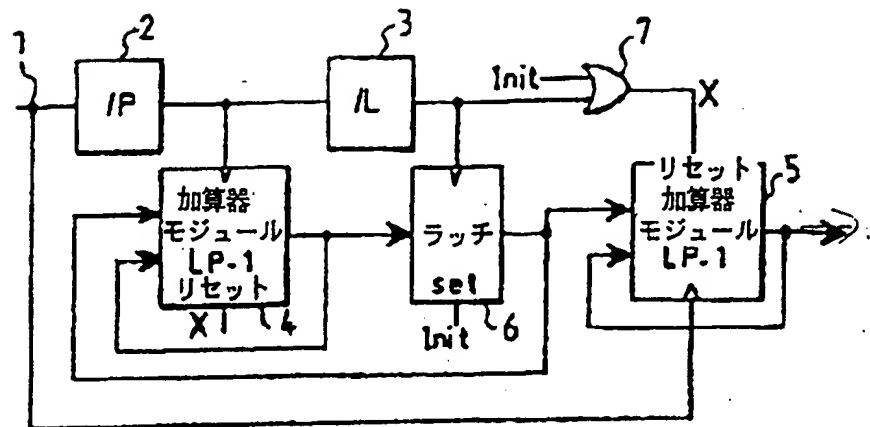


FIG. 4

【図 6】

FIG. 6



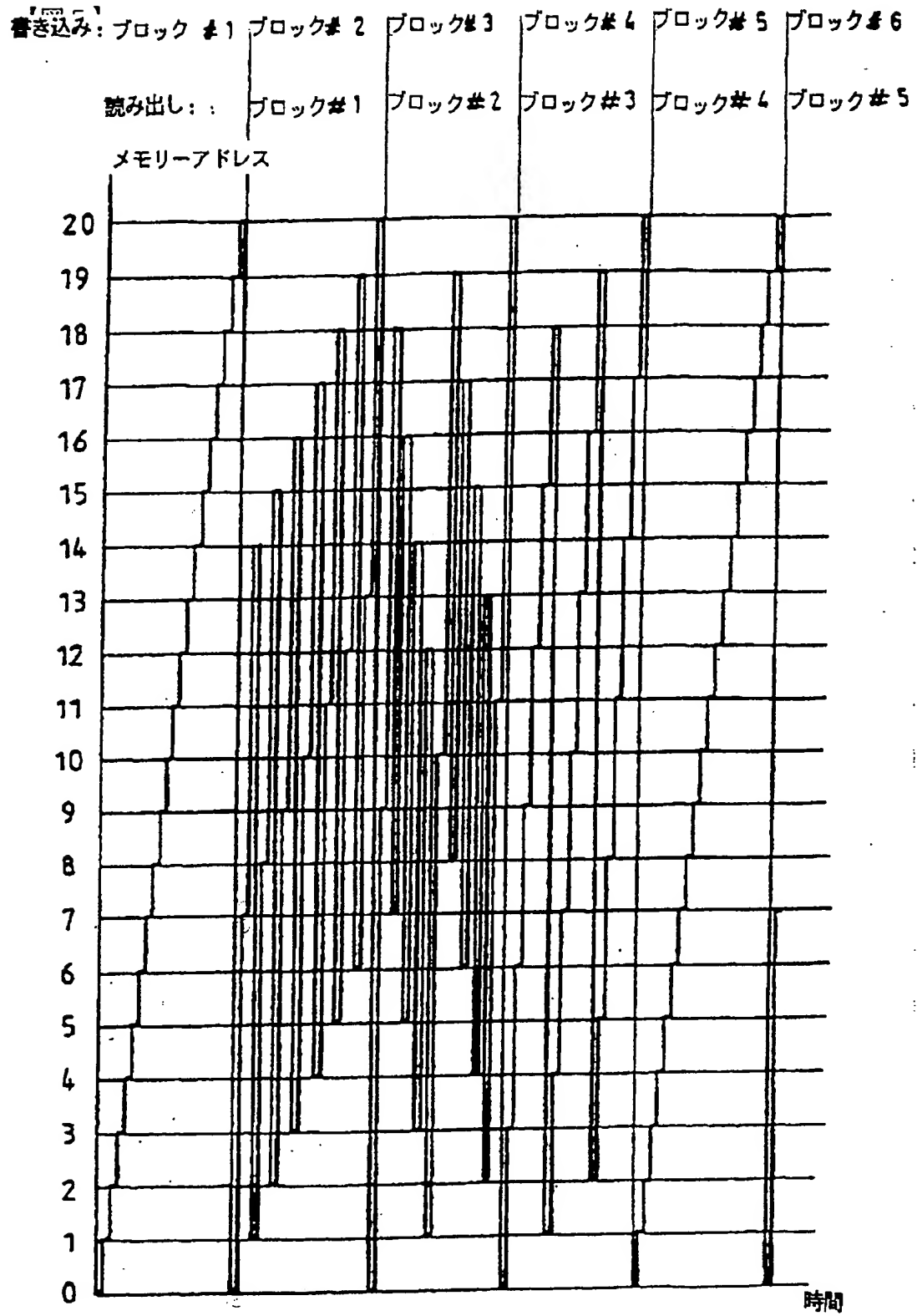


FIG. 5

【図7】

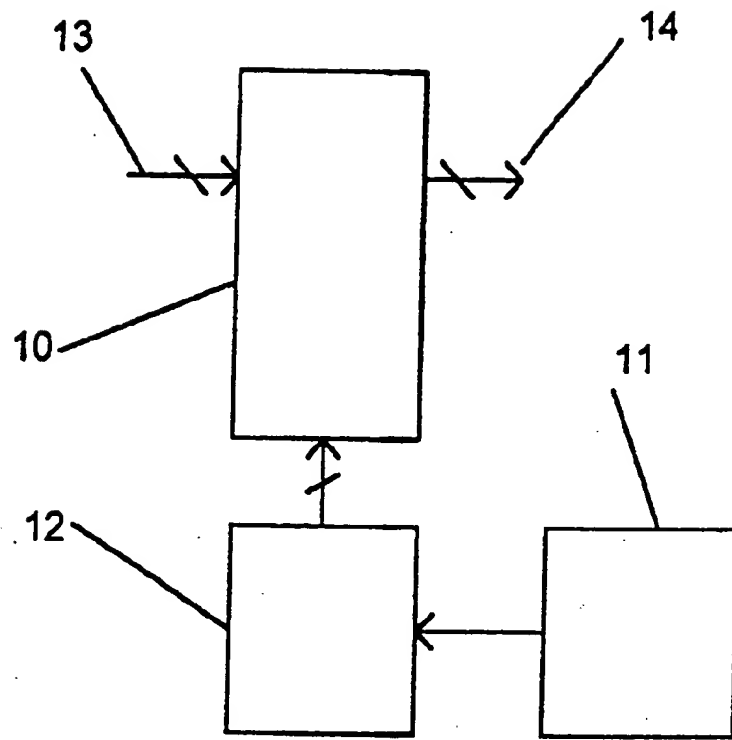


FIG. 7

【図8】

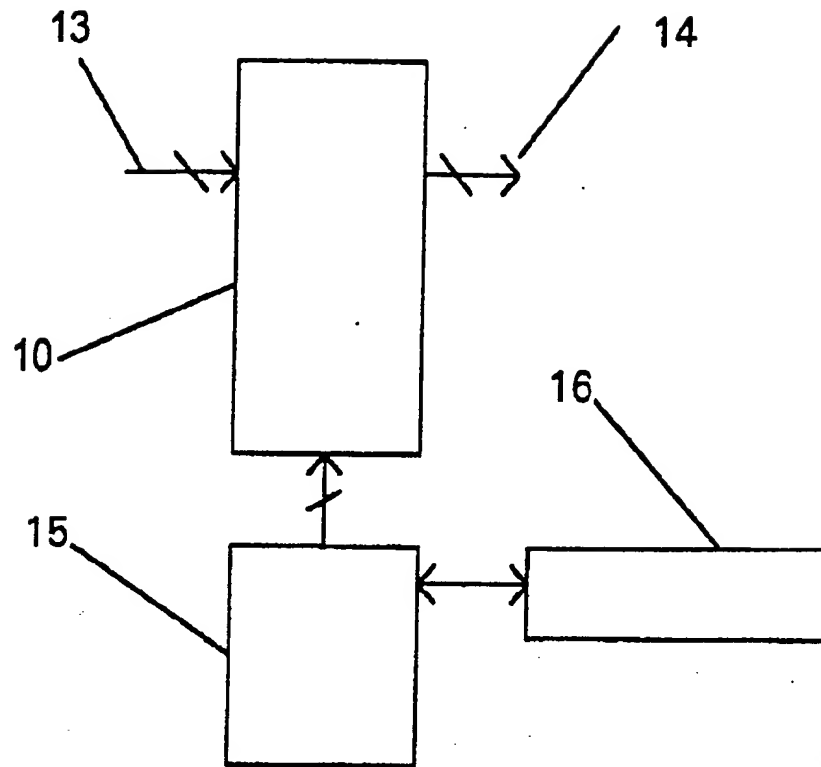


FIG. 8

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/FR 94/01417

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 6 H03M13/22

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 H03M G11B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 370 444 (ALCATEL TRANSMISSION PAR FAISCEAUX HERTZIENS) 30 May 1990 see abstract see page 2, line 49 - page 5, line 26	1,3
A	DE,A,35 39 592 (ANT NACHRICHTENTECHNIK) 19 June 1987 see figure 4	1,3
A	EP,A,0 467 717 (MATSUSHITA ELECTRIC INDUSTRIAL CO.,LTD.) 22 January 1992 see abstract see page 3, line 14 - line 46; figures 1-3	1

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*Z\* document member of the same patent family

Date of the actual completion of the international search

14 March 1995

Date of making of the international search report

10.04.95

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentaan 2  
NL - 2210 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Devergranne, C



## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/FR 94/01417

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 405 673 (PHILIPS GLOEILAMPENFABRIEKEN) 2 January 1991 see abstract see column 3, line 35 - column 4, line 50; figure 1 ---	1,6
A	PATENT ABSTRACTS OF JAPAN vol. 9, no. 318 (E-366) 13 December 1985 & JP,A,60 152 130 (NEC HOME ELECTRONICS KK) 10 August 1985 see abstract ---	1,2
A	US,A,3 652 998 (FORNEY) 28 March 1972 ---	
A	IEEE TRANSACTIONS ON INFORMATION THEORY, vol.16, no.3, May 1970, NEW YORK US pages 338 - 345 RAMSEY 'Realization of optimum interleavers' ---	
A	ELECTRONICS AND COMMUNICATIONS IN JAPAN, vol.67, no.10, October 1984, NEW YORK US pages 57 - 65 OHUE ET AL 'Block interleavers with maximum pulse distance' ---	
A	PATENT ABSTRACTS OF JAPAN vol. 7, no. 152 (P-208) 5 July 1958 & JP,A,58 062 752 (NIPPON DENKI KK) 14 April 1983 see abstract ---	
A	PATENT ABSTRACTS OF JAPAN vol. 17, no. 182 (P-1518) 8 April 1993 & JP,A,04 335 266 (AIWA CO LTD) 24 November 1992 see abstract -----	

## INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. Appl. No.

PCT/FR 94/01417

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0370444	30-05-90	FR-A- 2639781	01-06-90
		CA-A- 2003716	25-05-90
		DE-D- 68920830	09-03-95
		US-A- 5056105	08-10-91
DE-A-3539592	19-06-87	DE-A- 3527726	21-05-87
EP-A-0467717	22-01-92	JP-A- 4265083	21-09-92
		JP-A- 4079616	13-03-92
		KR-B- 9411603	22-12-94
EP-A-0405673	02-01-91	NL-A- 8901631	16-01-91
		JP-A- 3038125	19-02-91
		US-A- 5276827	04-01-94
US-A-3652998	28-03-72	NONE	